國立彰化師範大學電子系111學年第1學期

「超大型積體電路設計」期中專題報告

全訂製佈局(Full-Custom Layout)設計流程

題目：設計一個AOI21閘，即$F=\overbar{AB+C}$的CMOS電路，依完整標準流程項目鍵入並貼上親自上機相關畫面，儲存前以工具壓縮圖片或轉成PDF檔，檔案不得大於100MB。更改檔名的學號。於2022/11/13(週日) 23:59前上傳至雲端學院本課程作業區，不延長截止日期。

姓名：

學號：

日期：

1. 自行完成專題保證：以50字以內說明獨自完成之聲明。
	1. 1.
	2.
	3. 沒用到的編號請刪除
2. 說明你所使用的NX或Putty/Xming安裝設定步驟，或是使用遠端桌面(MSTSC/RDP)設定(含顯示)登入步驟。
	* 1.
	1.
	2. 沒用到的編號請刪除
3. 常見Linux指令說明(最少15個)

例：

1.> ls: list directory(列出目錄檔案)

* + 1.
	1.
	2. 沒用到的編號請刪除
1. 畫樹狀圖說明所需檔案結構並簡要說明檔案用途。
	* 1.
	1.
	2. 沒用到的編號請刪除
2. 設計一個AOI21閘，即$F=\overbar{AB+C}$的CMOS電路，假設$V\_{DD}$=1.8V, Lp=Ln=0.18um, Wn=0.22um, Wp= 0.55um，先畫Schematic流程，要做到Check & Save, 及Export to CDL備用。
	* 1.
	1.
	2. 沒用到的編號請刪除
3. 承上，修改上述之CDL為能模擬之SPICE Netlist，以HSPICE模擬及以Waveview (wv)畫出B、C分別輸入$V\_{DD}$和0V時，輸出F對輸入A端的特徵曲線圖，貼下SPICE Netlist及特徵曲線圖，並回答反相電壓為多少。
	* 1.
	1.
	2. 沒用到的編號請刪除
4. 以Cadence Virtuoso佈局，完成DRC/LVS和PEX。
	* 1.
	1.
	2. 沒用到的編號請刪除
5. Post-Layout HSPICE Simulation，以.MEAS量測10-Inverter Cascade中第9個的第10個上升延遲時間，貼上WaveView (wv) 脈波圖及圈出List檔中延遲時間。
	* 1.
	1.
	2. 沒用到的編號請刪除
6. 學習心得 (100字以內)
	* 1.
	1.
	2. 沒用到的編號請刪除
7. 與你最得意的步驟或結果合照，證明你親自作業。