國立彰化師範大學電子系109學年第1學期

「超大型積體電路設計」期中專題報告

全訂製佈局(Full-Custom Layout)設計流程

題目：選擇一個2輸入以上，1個輸入以上，有意義的CMOS電路，依完整標準流程項目鍵入並貼上親自上機相關畫面，儲存前以工具壓縮圖片方便電子郵寄，更改檔名的學號。於2020/11/8 23:59前Email至老師信箱，兩日內沒收到回條請與老師聯繫。

姓名：

學號：

日期：

1. 自行完成專題保證：以50字以內說明獨字完成之聲明。
2. NX或Putty/Xming安裝設定步驟
3. 常見Linux指令說明(最少15個)

例：

1.> ls: list directory(列出目錄檔案)

1. 畫樹狀圖說明所需檔案結構並簡要說明檔案用途。
2. 假設Lp=Ln=0.18um, Wp=1um, Wn=0.47um設計Inverter, 先畫Schematic流程，要做到Check & Save, 及Export to CDL備用。(細部流程自行編號)
3. 以Cadence Virtuoso佈局，完成DRC/LVS和PEX。
4. Post-Layout HSPICE Simulation，以.MEAS量測10-Inverter Cascade中第9個的第10個上升延遲時間，貼上WaveView (wv) 脈波圖及圈出List檔中延遲時間。
5. 學習心得 (100字以內)