國立彰化師範大學電子系108學年第2學期

「積體電路測試方法」期末專題報告

標準元件設計測試流程

題目： 以RTL或Behavioral Model設計一個16位元$×$16位元累加32位元的乘法累計器(Multiply-Add Accumulator, MAC)；依提示自行條列說明三大合成之流程。各步驟貼上有自己帳號的截圖，並加以說明；最後完成標準元件佈局圖時，本人與佈局螢幕合拍相關畫面貼上，儲存前以工具壓縮圖片方便電子郵寄。於2020/6/30前Email至老師信箱，兩日內沒收到回條請與老師聯繫。(參照[雲端網址](https://drive.google.com/drive/folders/13DnIUDcXw-HuV8nRLSq10dgluDhI8MiO)Readme檔說明安裝NX上網)

姓名： 學號：M08530XX 日期：2020/6/??

1. 自行完成專題保證：以50字以內說明獨字完成之聲明。
2. 建立清礎而有效率的目錄結構，說明各類檔案如何配置。
3. RTL Coding：以ModelSim, NCVerilog, 或VerilogXL設計電路並模擬驗證。題目有多一個位元或少一個位元，或增加訊號旗標之設計等，請自行定義設計。
	1. 條列說明…
4. 以Synopsys Design Vision/Compiler進行電路合成。
	1. 條列說明…
5. 進行Stuck-At Faults and/or Delay Faults Model加入掃描鏈的測試流程，適時提出報告。
	1. 條列說明…
6. 如需再以Synopsys Design Vision/Compiler進行電路合成，則加以說明。
	1. 條列說明…
7. 以Cadence SoC Encounter或新版軟體、或Synopsys IC Compiler進行實體繞線佈局。是否使用到Clock Tree Synthesis，以及是否跑Static Timing Analysis請加以說明原因或結果。
	1. 條列說明…
8. 是否完成佈局驗證與佈局後模擬驗證，請加以說明。
	1. 條列說明…
9. 學習心得 (100字以內)
	1. 條列說明…